

(19) 日本国特許庁 (J. P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-77352

(P. 2000-77352A)

(43) 公開日 平成12年3月14日 (2000. 3. 14)

(51) Int. Cl. 識別記号

H01L 21/265

21/324

21/76

27/12

F I

H01L 21/265

21/324

27/12

21/265

21/76

テマコード (参考)

J

X

E

H

R

審査請求 未請求 請求項の数28 O-L (全15頁)

(21) 出願番号 特願平11-156442

(22) 出願日 平成11年6月3日 (1999. 6. 3)

(31) 優先権主張番号 特願平10-171402

(32) 優先日 平成10年6月18日 (1998. 6. 18)

(33) 優先権主張国 日本 (J. P.)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 坂口 清文

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(72) 発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

(74) 代理人 100069877

弁理士 丸島 儀一

(54) 【発明の名称】 半導体基板及び半導体基板の作製方法

(57) 【要約】

【課題】 C.Zバルクウエハに起因した欠陥 (F.P.D., COP等) のない、あるいは低減された S i 活性層を有する半導体基材を提供する。

【解決手段】 図2Aに示すように、水素を含む還元性雰囲気中で熱処理された表層部22を有する単結晶シリコン基板21を用意する。図2Bに示すように、酸素をイオン注入 (打ち込み) し、イオン注入層24を形成する。その後、所望の熱処理を行なうことで、イオン注入層24を利用して埋め込み酸化膜 (BOX) 層25を形成する。こうしてBOX層25上に、COP等の欠陥の非常に低減された単結晶シリコン層 (S01層) 26を有するS01基板27が得られる。

水素アニール処理されたシリコン基板を用意

S1

イオン注入層を形成

S2

熱処理により埋め込み酸化膜を形成

S3

1

2

【特許請求の範囲】

【請求項1】 水素アニールされた単結晶シリコン基板を用意する工程、該単結晶シリコン基板にイオンを打ち込み、イオン注入層を形成する工程、及び該単結晶シリコン基板内部に埋め込み絶縁膜を形成する工程を有する半導体基板の作製方法。

【請求項2】 該水素アニールされた単結晶シリコン基板を用意した後、該イオン注入層を形成するに先だって、前記単結晶シリコン基板上に保護層形成し、該保護層側からイオンを打ち込むことを特徴とする請求項1記載の半導体基板の作製方法。

【請求項3】 該水素アニールされた単結晶シリコン基板は、低欠陥層を表面に有する基板である請求項1あるいは2記載の半導体基板の作製方法。

【請求項4】 該低欠陥層とは、該単結晶シリコン基板における、COP (Crystal Originated Particle) あるいは、FPD (Flow Pattern Defect) あるいはOSF (Oxidation Induced Stacking Fault) の数が、同一基板内の他の領域に比べて少ない層である請求項3記載の半導体基板の作製方法。

【請求項5】 該水素アニールされた単結晶シリコン基板を用意する工程は、単結晶シリコン基板を水素を含む還元性雰囲気下で熱処理する工程である請求項1あるいは2記載の半導体基板の作製方法。

【請求項6】 該水素を含む還元性雰囲気とは、水素10%ガス、水素と希ガスの混合ガス、あるいは水素と窒素の混合ガスである請求項5記載の半導体基板の作製方法。

【請求項7】 前記水素アニールが、800℃以上シリコンの融点以下で行われる請求項1あるいは2記載の半導体基板の作製方法。

【請求項8】 前記水素アニールが、1000℃より大きく、シリコンの融点以下で行われる請求項1あるいは2記載の半導体基板の作製方法。

【請求項9】 該イオン注入層の形成に先だって、該単結晶シリコン基板を洗浄する工程を有する請求項1あるいは2記載の半導体基板の作製方法。

【請求項10】 該単結晶シリコン基板は、CZシリコンウエハである請求項1あるいは2記載の半導体基板の作製方法。

【請求項11】 該単結晶シリコン基板は、MCZシリコンウエハである請求項1あるいは2記載の半導体基板の作製方法。

【請求項12】 該低欠陥層表面における単位面積当たりのCOPの数が、0個/cm²以上、1.6個/cm²以下である請求項3記載の半導体基板の作製方法。

【請求項13】 該低欠陥層表面における単位面積当たりのCOPの数が、0個/cm²以上、0.5個/cm²以下である請求項3記載の半導体基板の作製方法。

【請求項14】 該低欠陥層表面における単位面積当た

りのCOPの数が、0個/cm²以上、0.05個/cm²以下である請求項3記載の半導体基板の作製方法。

【請求項15】 該低欠陥層表面における単位ウエハ当たりのCOPの数が、0個以上、500個以下である請求項3記載の半導体基板の作製方法。

【請求項16】 該低欠陥層表面における単位ウエハ当たりのCOPの数が、0個以上、100個以下である請求項3記載の半導体基板の作製方法。

【請求項17】 該低欠陥層表面における単位ウエハ当たりのCOPの数が、0個以上、10個以下である請求項3記載の半導体基板の作製方法。

【請求項18】 該低欠陥層表面における酸素濃度が、 5×10^{17} atoms/cm²以下である請求項3記載の半導体基板の作製方法。

【請求項19】 該保護層が、該単結晶シリコン基板上に形成された酸化シリコン層あるいは窒化シリコン層である請求項2記載の半導体基板の作製方法。

【請求項20】 該保護層が、該単結晶シリコン基板の熱酸化により形成された酸化シリコン層である請求項2記載の半導体基板の作製方法。

【請求項21】 該イオン注入層形成工程は、酸素イオンあるいは窒素イオンを打ち込むことにより行われる請求項1あるいは2記載の半導体基板の作製方法。

【請求項22】 該イオン注入層形成工程は、注入量が 1.0×10^{16} /cm²から 1.0×10^{18} /cm²の範囲で行われる請求項1あるいは2記載の半導体基板の作製方法。

【請求項23】 該イオン注入層形成工程は、プラズマイオン注入により行なわれる請求項1あるいは2記載の半導体基板の作製方法。

【請求項24】 該埋め込み絶縁膜は、該イオン注入層が形成された単結晶シリコン基板を熱処理することにより形成される請求項1あるいは2記載の半導体基板の作製方法。

【請求項25】 該埋め込み絶縁膜を形成した後、酸化性雰囲気下で熱処理する請求項1あるいは2記載の半導体基板の作製方法。

【請求項26】 該埋め込み絶縁膜形成後、該シリコン基板に表面処理を行なう請求項1あるいは2記載の半導体基板の作製方法。

【請求項27】 該表面処理が、シリコン基板表面の研磨および/または水素アニール処理である請求項25記載の半導体基板の作製方法。

【請求項28】 請求項1~27記載の方法により作製された半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板、及び半導体基板の作製方法に関し、詳しくは、絶縁層上に単結晶シリコン層を有するSOI (Silicon On Insulator) 基板の作製方法、及び当該方法により作製されたSOI基

板に関する。特に、SIMOX (Separation by Implanted Oxygen) と呼ばれる方法により作製されるSOI基板に関する。

【0002】

【従来の技術】絶縁物上の単結晶Si半導体層の形成は、シリコン・オン・インシュレーター (SOI) 技術として広く知られ、通常のSi集積回路を作製するバルクSi基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、
4. ウエル工程が省略できる、
5. ラッチアップを防止できる、
6. 薄膜化による完全空乏型電界効果トランジスタが可能、

等の優位点が得られる。(これらは例えば次の文献に詳しい。Special Issue: "Single-crystal silicon on non-single-crystal insulators", edited by G.W. Cullen, Journal of Crystal Growth, volume 63, no. 3, pp. 429~590 (1983)).

【0003】さらにここ数年においては、SOIが、MOSFETの高速化、低消費電力化を実現する基板として多くの報告がなされている (IEEE SOI conference 1994)。

【0004】また、支持基板上に絶縁層を介してSOI層が存在するSOI構造を用いると、素子の下部に絶縁層があるので、バルクSiウエハ上に素子を形成する場合と比べて、素子分離プロセスが単純化できる結果、デバイスプロセス工程が短縮される。

【0005】すなわち、高性能化と合わせて、バルクSi上のMOSFET、ICに比べて、ウエハコスト、プロセスコストのトータルでの低価格化が期待されている。

【0006】SOI基板の形成に関する研究は1970年代頃から盛んであった。絶縁物であるサファイア基板の上に単結晶Siをヘテロエピタキシャル成長する方法 (SO-S: Sapphire on Silicon) や、多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法 (FIPOS: Fully Isolation by Porous Oxidized Silicon)、貼り合わせ法、酸素イオン注入法がよく研究されている。

【0007】この酸素イオン注入法とは、K. Izumiによって始めて報告されたSIMOXと呼ばれる方法である (K. Izumi, M. Doken and H. Ariyoshi: Electron. Lett. 14, p. 593 (1978)).

【0008】この方法は、図11Aに示すようにシリコンウエハ103に酸素イオンを $10^{17} \sim 10^{18} / \text{cm}^2$ 程度注入する (図11B)。その後、アルゴン・酸素雰囲気中で1320

℃程度的高温でアニールし酸化層105を形成する (図11C)。その結果、イオン注入の投影飛程 (R_p) に相当する深さを中心に注入された酸素イオンがSiと結合して酸化Si層が形成され、SOI基板107を得るというものである (以降、SIMOXを利用して作製されたSOI基板を「SIMOXウエハ」という)。

【0009】このSOI基板に関しては、MOSFETの高速化、低消費電力化を実現する基板として多くの報告がなされている (Proceedings of 1994 IEEE International Silicon-on-Insulator Conferenceに詳しい記載がある)。

【0010】SOI基板を利用して作製される完全空乏型MOSFETは、駆動力の向上に伴う高速化、低消費電力化が期待されている。

【0011】また、SOI構造を用いると、素子の下部に絶縁層があるので、バルクSiウエハ上に素子を形成する場合と比べて、素子分離プロセスが単純化できる結果、デバイスプロセス工程が短縮される。

【0012】すなわち、高性能化と合わせて、バルクSi上のMOSFET、ICに比べて、ウエハコスト、プロセスコストのトータルでの低価格化も期待されている。

【0013】

【発明が解決しようとする課題】SIMOXウエハを作製するシリコン基板としては、一般にCZウエハが用いられている。CZウエハとは、チョクルスキー (Czochralski) 法により作製される単結晶シリコン基板である。

【0014】このCZウエハには、バルクウエハ特有の欠陥であるCOP (Crystal Originated Particles)、FPD (Flow Pattern Defect) などのGrown-in欠陥が含まれている。

【0015】このCOP (山本秀和、「大口径シリコンウエハへの要求課題」、第23回ウルトラクリーンテクノロジ・カレッジ、(Aug. 1996)) やFPD (T. Abe, Extended Abst. Electrochem. Soc. Spring Meeting vol. 1, 95-1, pp. 596, (May, 1995)) のサイズは、およそ $0.1 \sim 0.2 \mu\text{m}$ 程度である。

【0016】なお、COP、FPDの詳細については後述する。

【0017】従来、このCZウエハを用いて超LSIを作製する場合、上述のGrown-in欠陥のサイズに対して十分なマージンをもってデバイスが製造されていたためCOP等がデバイス特性に与える影響はほとんど無かった。

【0018】しかしながら、例えば、DRAMを例にとると、その設計ルールは、16M-DRAMで $0.5 \mu\text{m}$ 、64M-DRAMでは、 $0.35 \mu\text{m}$ と推移してきており、デバイス特性や歩留まりにCOPが与える影響が顕著になってきている。

【0019】とりわけ、1G-DRAMにおいては、設計ルールは、 $0.1 \sim 0.15 \mu\text{m}$ になるといわれている。

【0020】(課題を解決するための手段) 本発明の目的は、欠陥の少ない半導体基板及びその作製方法を提供することにある。

【0021】本発明の別の目的は、SOL層にCOP、FPD、OSFといったバルクシリコンウエハ特有の欠陥を含まない、あるいはより低減されたSOL基板の作製方法を提供することにある。また、埋め込み酸化膜の質が優れたSOL基板を提供することにある。

【0022】本発明の半導体基板の作製方法は、水素アニールされた単結晶シリコン基板を用意する工程、該単結晶シリコン基板にイオンを打ち込み、イオン注入層を形成する工程、及び該単結晶シリコン基板内部に埋め込み絶縁膜を形成する工程を有することを特徴とする。

【0023】さらに、本発明は、該水素アニールされた単結晶シリコン基板を用意した後、該イオン注入層を形成するに先だつて、前記単結晶シリコン基板上に保護層形成し、該保護層側からイオンを打ち込むことを特徴とする。

【0024】また、本発明は、該イオン注入層の形成に先だつて、該単結晶シリコン基板、あるいは保護層を有する単結晶シリコン基板を洗浄することを特徴とする。

【0025】また、本発明は、該埋め込み絶縁膜形成後、酸化性雰囲気中で熱処理することを特徴とする。

【0026】

【発明の実施の形態】まず、本発明を図1に示すフローチャートを用いて説明する。

【0027】水素を含む還元性雰囲気中で熱処理(以降、「水素アニール」という。)された単結晶シリコン基板を用意する(S1)。そして、該単結晶シリコン基板に酸素をイオン注入し、イオン注入層を形成する(S2)。その後、該単結晶シリコン基板を所望の条件下で熱処理し、該単結晶シリコン基板内部に埋め込み酸化膜(BOX: Buried Oxide)層を形成する(S3)。こうして、本発明におけるSIMOXウエハが得られる。

【0028】次に、より具体的に本発明を説明する。

【0029】図2Aに示すように、水素を含む還元性雰囲気中で熱処理された表層部22を有する単結晶シリコン基板21を用意する。この表層部とは、バルクウエハ特有のCOPなどのGrown-in欠陥や、OSF等の欠陥が非常に低減された低欠陥層のことである(以降、表層部22を「低欠陥層22」という場合もある)。より具体的には、単結晶シリコン基板21内におけるCOP、FPDあるいはOSFの数が、同一基板内の他の領域に比べて少ない層である。なお、図2Aにおいては、水素アニールされている表層部22と他の領域23とが明確に分かれているように示されているが、実際には、表層部22と領域23の境界は必ずしも明瞭なものではない。

【0030】次に、図2Bに示すように、酸素をイオン注入(打ち込み)し、イオン注入層24を形成する。

【0031】その後、所望の熱処理を行なうことで、イオン注入層24を利用して埋め込み酸化膜(BOX)層25を形成する。こうしてBOX層25上に単結晶シリコン層(SOL層)26を有するSOL基板27が得られる。

【0032】本発明により、SOL層26表面及び内部にCOP等の欠陥を含まない、あるいはそれらの数が、通常のバルクウエハに比べて非常に少ない高品質のSIMOXウエハを得ることが可能になる。

【0033】SIMOXウエハの作製に通常用いられるCZウエハには、COP、FPD、OSFといったバルクウエハ特有の欠陥を多数内在あるいは、潜在的に内在させている。これらの欠陥について、その原因の厳密な説明はなされていないが、いずれもウエハ中に含まれる酸素濃度との相関が強く、酸素濃度が高いとCOP、OSF等の欠陥が発生しやすいことが報告されている(例えば、シリコン結晶・ウエハ技術の課題(リアライズ社)p.55)。

【0034】ここで、OSF(酸化誘起積層欠陥)とは、結晶ウエハの成長時にその核となる微小欠陥が導入され、酸化工程により顕在化するものである。例えば、ウエハ表面をウェット酸化することによってリング状のOSFが観察される場合がある。

【0035】また、熱処理をしないで観察できるCOP、FPDは、同一の原因による欠陥と考えられており、両者に厳密な定義規定はないものの、凡そCOPとは、RCA洗浄液の要素液の一つであるSC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$)液にウエハを浸潤した後、光散乱を利用した微粒子検出器や異物検査装置で検出できるエッチピットを指し、後者のFPDは、 Secco 液($\text{K}_2\text{Cr}_2\text{O}_7/\text{HF}/\text{H}_2\text{O}$)に30分程度浸漬した後、光学顕微鏡で観察されるエッチピットをいうものとされている。

【0036】本発明においては、シリコン基板表面を水素アニールし、上述のCOP等の欠陥を消滅、あるいはそれらの欠陥の数を低減させた表層部22を形成した後、シリコン基板へ酸素イオン注入を行ないBOX層25を形成するので、SOL層26自体にもCOP等の欠陥の無い、あるいは非常に少ない層となる。

【0037】水素アニールによりCOPが消滅する原因について、図3を用いて説明する。

【0038】図中31はCOPを、32はシリコン原子を、33は酸化膜がついている様子をそれぞれ模式的に示したものである。

【0039】COP31の内壁には、数nmの酸化膜33が存在すると考えられている。そして、水素アニール処理を行なった場合、水素の還元作用によりこの酸化膜33が除去され、その後、Si原子の再配列が起こり、欠陥部分は徐々に埋まっていき、最終的にはCOP31は消滅すると考えられている(電子材料、6月号、p.22~26(1998))。

【0040】なお、水素アニール処理を利用して高品質のSIMOXウエハを得ようとする試みは、従来から行われ

ている。(適宜、図11A～図11Cに付した番号を用いて説明する。)

【0041】特開平10-41241号公報においては、BOX層105形成後に水素アニール処理を行なうことを開示している。この水素アニール時の温度は、当該公報によればS01層106内の格子間酸素の還元が行なわれる温度以上、かつBOX層105の界面の酸化膜までが還元されない温度以下の800°Cから1000°Cの範囲内で行なうとしている。

【0042】図4は、図11B中の領域114の部分拡大したものである。シリコンウエハ内の酸素イオン注入層44における酸素濃度の分布は、投影飛程Rp(図中49)を中心とかなり広範囲に分布する。そして、所定の熱処理を施すと、酸素濃度の低い領域に存在する酸素は、酸素濃度の高い投影飛程Rp49を中心に集まり、熱処理前の分布に比べて、その分布は縮小する。なお、図4中の斜線部の濃淡は、酸素濃度の高低を模式的に示すものである。投影飛程4.9を中心に酸素濃度が低くなっていく様子を表わしている。

【0043】しかしながら、イオン注入層44近傍にCOP4.1が存在すると、投影飛程49に酸素イオンが集まってくるとともに、COP4.1の周囲にも酸素が集まってしまう。そして、COP4.1は、図5に示すようにCOP5.1は、BOX層5.5の形成前に比べて、BOX層形成のための熱処理後ではより大きなものへと成長してしまう。これは、前述のようにCOPは内壁に酸化膜を有しているため、COPの周囲に比べて酸素濃度が高くなっているためと考えられる。

【0044】BOX層5.5形成後においては、特にBOX層5.5近傍のCOP5.1は成長して大きくなり、BOX層形成後の工程でこのCOPを除去することは困難になる。

【0045】また、特開昭64-72633号公報や特開平8-46161号公報においては、シリコン基板に酸素イオン注入を行なった後、BOX層105を形成する為の熱処理を、アルゴン・酸素の混合ガス雰囲気ではなく、水素ガス雰囲気で行なうことを開示している。

【0046】酸素イオン注入層104における酸素濃度は、投影飛程Rpを中心としてかなり広範囲に分布しているが、熱処理によりこの分布は縮小しBOX層105が形成される。

【0047】従って、水素アニールによりBOX層105の界面付近に存在するCOPを消滅させようとした場合、BOX層105の形成に寄与し得る酸素までもが還元され、そして、結果的に除去されてしまうことになる。すなわち、COPの消滅とともに、BOX層形成の為の酸素までもが失われてしまい、BOX層の厚さが減少する恐れがある。

【0048】本発明においては、シリコン基板への酸素イオン注入工程前に、シリコン基板へ水素アニール処理を行なう。

【0049】(シリコン基板)シリコン基板としては、バルクシリコンウエハ、特にCZウエハを用い、これを水

素アニールすることによりCOP等の欠陥少ない表層部22を有する基板を用いることが好適である。

【0050】また、水素アニールされるシリコン基板としては、CZウエハのみならず、MCZ法(Magnetic Field Applied Czochralski Method)により作製したシリコンウエハ(以下、「MCZシリコンウエハ」という。)を用いることもまた好ましいものである。MCZ法によりウエハを作製する場合、CZ法に比べ、シリコン中に含まれるCOPのサイズの増大を抑制しながらウエハの作製ができることが報告されている(電子材料 6月号(1998), p. 22)。このMCZシリコンウエハに、水素アニールを施すと、CZウエハ以上により高品質な低欠陥層22を形成することができる。

【0051】水素アニールによりシリコン内部からボロンあるいはリン等の不純物元素が外方拡散することを考慮して、使用するシリコンウエハの比抵抗を定めるのもまた好ましいものである。

【0052】(水素アニールによる低欠陥層形成工程)通常、CZシリコンウエハには、 10^{14} atoms/cm³程度の酸素が含まれるが、これを水素アニールすると、ウエハ中の酸素は外方拡散し、ウエハ表面及びその近傍の酸素濃度は低減する。

【0053】この酸素濃度の低減により、ウエハ表層部の改質が進み、COP、OSF等の欠陥が低減された表層部22(以下、表層部を「低欠陥層」という場合もある。)を形成することができる。

【0054】また、COPに関しては、CZシリコンウエハには、 $10^5 \sim 10^7$ /cm²の密度で、COPが存在し、例えば8インチのCZウエハの場合、表面近傍には、単位ウエハ当たり400～500個程度のCOPが存在する。しかしながら、このCZシリコンウエハを水素アニールすると、COPの数は激減し、表面近傍でのその数は、10個程度になる。すなわち実質的に無欠陥の層(DZ層; Denuded Zone)が形成される。なお、本発明にいう「単位ウエハ当たり」とは、一枚のウエハが占める表面積当たりのCOP等の数を意味する。例えば、8インチウエハの場合、凡そ324cm²当たりのCOPの数である。

【0055】水素アニールにより形成される低欠陥層22の厚さは、要求されるS01層の厚さを考慮して500～5000nm程度の厚さに形成することが好ましい。

【0056】低欠陥層22における酸素濃度は、 5×10^{17} atoms/cm³以下、好ましくは 1×10^{17} atoms/cm³以下、更に好ましくは 5×10^{16} atoms/cm³以下である。

【0057】低欠陥層22におけるCOPの密度が、単位体積あたりでは、0個/cm³以上 5×10^4 個/cm³以下、好ましくは0個/cm³以上 1×10^4 個/cm³以下、更に好ましくは、0個/cm³以上 1×10^3 個/cm³以下であることが望ましい。特に、表層部22の最表面からイオン打ち込みの投影飛程までの深さ領域におけるCOPの密度が上記規定値内であることが望ましい。

【0058】また、単位ウエハ当たりでは、8インチウエハの場合、低欠陥層22におけるCOP個数が、0個以上、500個以下、好ましくは0個以上100個以下、より好ましくは0個以上、50個以下、更に好ましくは0個以上10個以下であることが望ましい。特に、ウエハ表面における単位ウエハ当たりのCOPの数が上記の、100個以下の範囲内であることが望ましい。

【0059】なお、ウエハ表面でのCOPの分布は、ウエハ中心から約6cm以内の中心付近に集中する傾向が強いので、ウエハ単位あたりのCOPの個数は、12インチウエハ、あるいはそれ以上のウエハであっても8インチウエハの場合と同程度であることが望まれる。なお、「単位ウエハ当たり」とは、「ウエハの面積当たり」を意味し、例えば8インチの場合、単位ウエハ当たりというときには、およそ324cm²当たりのCOPの数である。

【0060】また、ウエハ表面の単位面積あたりでは、0個/cm²以上1.6個/cm²以下、より好ましくは0個/cm²以上0.5個/cm²以下、更に好ましくは0個/cm²以上0.05個/cm²以下であることが望ましい。

【0061】また、低欠陥層22におけるFPDの単位面積当たりの数は、0個/cm²以上、5×10²/cm²以下、より好ましくは0個/cm²以上、1×10²/cm²以下である。

【0062】また、低欠陥層22をOSFで規定する場合には、単位面積当たりのOSFの密度が、0個/cm²以上100個/cm²以下、より好ましくは0個/cm²以上50個/cm²以下、更に好ましくは0個/cm²以上10個/cm²以下であることが望ましい。

【0063】低欠陥層22を形成するには、水素を含む還元性雰囲気中で熱処理することにより行われるが、その雰囲気は、100%水素ガス、あるいは水素と希ガス（Ar、He、Ne、Xe、Kr等）の混合ガス、あるいは水素と窒素の混合ガスで行なうことができる。

【0064】水素アニール時の温度は、500℃以上、シリコン基板の融点以下、好ましくは800℃以上、シリコン基板の融点以下、より好ましくは1000℃以上、シリコン基板の融点以下で行なうことが望ましい。とくに、1000℃より大きく、かつシリコン基板の融点以下で水素アニールすることにより、COP等の低減が十分に図れる。シリコンの融点は、約1412℃である。

【0065】酸素の拡散速度及び熱処理炉に与える負担を考慮した場合、800℃以上1350℃以下であることが好ましい。さらに好ましくは1000℃より大きく、1350℃以下である。

【0066】水素アニール時の水素を含む雰囲気圧力は、大気圧、減圧、加圧のいずれの雰囲気でも構わないが、大気圧若しくは大気圧（1×10⁵Pa）以下、1×10⁴Pa以上で行なうことが好適である。また大気圧に対して100mmHg程度の微減圧下で行なうこともより好適である。特に、熱処理する際の炉の構成にもよるが、減圧化で行なえば、酸素等の外方拡散によるCOP等の欠陥の低

減をより効果的に行なうことができる。

【0067】水素アニールに用いる炉としては、通常用いられる縦型熱処理炉や、横形熱処理炉を用いることができる。ヒーターとしては、抵抗加熱器や高周波加熱器等を用いることができる。

【0068】あるいはRTA（Rapid Thermal Annealing）に用いられる熱放射を利用するランプ加熱により行なうこともできる。この場合のラピッドアニール装置としては、ハロゲンランプ、アークランプなどによる赤外線アニール装置、キセノンフラッシュランプなどによるフラッシュランプアニール装置などが用いられる。特にランプ加熱による場合は、短時間で水素アニールが可能となる。

【0069】水素アニールに要する時間としては、数秒～数十時間、より好ましくは数秒から数時間で行なうことができる。

【0070】（酸素イオン注入工程）低欠陥層である表層部22を有するシリコン基板21への酸素イオンの注入工程に先だって、表層部22の表面を酸化して、シリコン基板21上に酸化シリコン層を形成しておき、該酸化シリコン層側から酸素をイオン注入することは好ましいものである。酸化の方法としては、熱酸化が挙げられる。具体的には、窒素をキャリアガスとして酸素ガスを流す、いわゆるドライO₂酸化、加熱水を通して酸素ガスを供給するウェットO₂酸化、スチeamによるスチeam酸化（100%）、あるいは、スチeamと一緒に窒素ガスを流すスチeam酸化、水素ガスと酸素ガスを燃焼させ、水蒸気として供給するパイロジェニック酸化、酸素ガスを液体酸素を通して窒素ガスをキャリアとして流すO₂分圧酸化、窒素ガスと酸素ガスと一緒に塩酸ガスを添加した塩酸酸化などがある。

【0071】この酸化シリコン層が保護層として機能し、シリコン基板表面のイオン注入工程による表面荒れを防ぐことができる。酸化シリコン層の代わりに、表層部22を窒化することにより窒化シリコン層を形成してもよい。

【0072】もちろん、熱CVDやプラズマCVD法により酸化シリコン膜や窒化シリコン膜を表層部22上に堆積させることにより保護層としてもよい。

【0073】保護層の厚さとしては、数nm～数μm程度が好ましい。

【0074】図2A～図2Cにおいては、低欠陥層22内部にイオン注入層24が位置するように図示されているが、SOI層26として機能する単結晶シリコン層が低欠陥層である限り、イオン注入層24は表層部22の内部でも、外部でも、表層部22と領域23との界面でも構わない。なお、図2Aにおける領域23とは、シリコン基板のうちの水素アニール処理により低欠陥層となっている領域（表層部22）以外の領域である。図2の表層部22内部に、イオン注入の投影飛程R（注入深さ）があるようにイオン注入を

行なうこともまた望ましいものである。

【0075】もちろん、シリコン基板全体が低欠陥層22であっても、シリコン基板の表面及び裏面が低欠陥層となっていてよい。

【0076】例えば、図10A～図10Dに示すように、イオン注入層124を形成しても良い。ここで、図10A～図10Dを用いて本発明の一態様例を簡単に示す。

【0077】まず、Si基板としての単結晶Siウエハからなる基板121を用意して、少なくとも主表面を水素を含む雰囲気中で熱処理し、表面にバルクに起因する欠陥を減じた表面層122を形成する。ここでは、基板121の残りの部分と表面層122がある境界をもって急峻に分かれている様に図示してあるが実際は徐々に変化していきようになっている。さらに、必要に応じて表面層122上に保護層として機能する絶縁層128を形成してもよい(図10A)。

【0078】次に、基板121の主表面即ち表面層122側から、酸素イオンをイオン注入する。こうして、イオン注入層124は、表面基板121の下部領域123と表面層128との界面付近あるいは表面層122内部に形成される。好ましくは熱処理後イオン注入層124が酸化Si層になった時に、熱処理された表面層122と基板の下部123との界面が酸化Si層中に含まれる様に注入エネルギーとイオン注入量とを調整し、その条件でイオン注入する(図10B)。

【0079】次に、図10Cに示すように、基板121を熱処理する。

【0080】こうして基板121の主表面側にある単結晶のSi層122の下方に埋込まれた酸化Si層(埋め込み酸化Si層)125が形成される。

【0081】こうして、酸化Si層125上に残った単結晶Si層122は水素を含む還元雰囲気中で熱処理されたものである為、FPDやCOPの発生が抑制されている。

【0082】そして、表面の酸化膜128を除去すれば図10Dに示すように本発明による半導体基材(Si/MOXウエハ)が得られる。もちろん、表面汚染を避けるため表面酸化膜128は、デバイスプロセス直前まで除去しなくてもよい。こうして得られた単結晶Si層122は酸化Si層125を介して平坦に、しかも均一に薄層化されて、ウエハ全域に、大面積に形成される。こうして得られた半導体基材は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0083】さらに、必要に応じて表面酸化膜128を除去した後、再び水素を含む還元性雰囲気中で熱処理しても良い。本熱処理により、表面のラフネスが平滑化される。ケミカルエッチング作用より機械的研磨作用の強いタッチポリッシング(Touch Polishing)を用いずに表面を平滑化できるので、表面に微小なスクラッチなどが導入されない。

【0084】酸素イオン注入工程の際の加速電圧は、1KeVから10MeVの範囲で行なうことができるが、加速電圧によりイオン注入層の厚さが変化するため、所望の条件を満たすよう数10KeVから500KeV程度で行なうことが好ましい。

【0085】注入線量は、 $1.0 \times 10^{16} / \text{cm}^2 \sim 1.0 \times 10^{19} / \text{cm}^2$ 、より好ましくは $5.0 \times 10^{16} / \text{cm}^2 \sim 5.0 \times 10^{18} / \text{cm}^2$ の間で行なうことができる。

【0086】イオン注入時の温度は、 -200°C から 600°C の間で行なうことが好ましく、より好適には 0°C から 600°C 以下で、更に好ましくは室温 $\sim 600^\circ\text{C}$ 以下で行なうことが望まれる。

【0087】シリコン基板への酸素のイオン打ち込みは、通常は、イオン源で作製した種々のイオンのうち、酸素イオン(O^+)を質量分離装置で選択し、この選択された O^+ イオンを所望の加速電圧で加速した後、加速により得られたイオンビームでシリコン基板にイオン注入する。この時、基板全面にイオンを注入するためイオンビームを走査しながらシリコン基板への注入工程を行なう。もちろん、この方法に限定されるものではない。

【0088】一方、酸素のイオン注入工程を、プラズマ・ドーピング(Plasma Immersion Ion Implantation)にて行なうことも好ましいものである(Jingbao Liu, et al., Appl. Phys. Lett., 67, 2361 (1995))。

【0089】この場合、ビーム状ではなく大面積への一括照射が可能であるため、酸素イオン打ち込みに要する時間の削減とともに、低コスト化を図ることも可能である。

【0090】また、SOI基板における絶縁層として酸化シリコン層ではなく、窒化シリコンが求められる場合には、酸素イオンを打ち込む代わりに、窒素イオンを打ち込むことも可能である。

【0091】また、注入線量および/または注入エネルギー(加速電圧)を段階的に変化させ、複数回のイオン注入工程を行なうこともできる。注入エネルギーを変化させる場合には、2回目の注入エネルギーを1回目の注入エネルギーより小さくすることが好ましい。

【0092】複数回のイオン注入を行なう場合には、シリコン基板へ打ち込まれるイオン種を変えることもできる。2度のイオン注入工程を行なう場合には、まず第1のイオンのイオン注入を行ない、その後、第1のイオンよりも軽い第2のイオンのイオン注入を行なうことが好ましい。例えば、第1のイオンとして、酸素イオン、第2のイオンとして水素イオンである。

【0093】なお、イオン注入層形成工程前に、シリコン基板上面に保護層を形成していない場合は、イオン注入層形成工程後にシリコン基板表面に保護層を形成することも好ましいものである。この場合、BOX層形成時の高温熱処理による基板の表面荒れを防止することができる。

【0094】(BOX層形成用熱処理工程)埋め込み酸化膜であるBOX層形成時の熱処理雰囲気としては、酸素、窒素、Ar、H₂e、N₂e、Xeから選択されるガスを主成分とする雰囲気であり、より好ましくは酸素を不活性ガスで希釈したガス雰囲気(例えば、アルゴン・酸素の混合ガス雰囲気)である。

【0095】また、水素を含む還元性雰囲気中で熱処理を行ないBOX層を形成することもできる。

【0096】BOX層形成時の熱処理温度としては、600℃以上シリコンの融点以下、好ましくは、800℃以上シリコンの融点以下、更に好ましくは1000℃以上1400℃以下である。

【0097】なお、水素を還元性雰囲気中でBOX層を形成する場合、特に800℃以上1000℃以下で行なうことが好ましい。

【0098】BOX層形成時の熱処理時間は、0.5時間以上20時間以下、好ましくは2時間以上10時間以下である。製造コスト下げるためにはなるべく短時間で行なうことが好ましいが、均一かつ連続したBOX層を形成すべく、熱処理時間を規定することが望まれる。

【0099】BOX層形成時の圧力としては、大気圧下、減圧下、高圧下で可能である。

【0100】なお、BOX層形成することによりSOL基板が得られるが、SOL層26の表面が荒れている場合には、必要に応じて、表面酸化膜を除去した後SOL層表面の平坦化工程を行なうことが好ましい。

【0101】具体的には、化学的機械的研磨(CMP)や水素アニールにより平坦化を行なう。CMPを行なう際の、研磨剤としては、シリカガラス(borosilicate glass)、二酸化チタン、窒化チタン、酸化アルミニウム、硝酸鉄(iron nitrate)、酸化セリウム、コロイダルシリカ、窒化シリコン、炭化シリコン、グラファイト、ダイヤモンドなどの研磨粒、あるいはこれら研磨粒とH₂O₂やK₂CO₃などの酸化剤やNaOH、KOH等のアルカリ溶液を混合した砥粒液を用いることができる。

【0102】水素アニールによりSOL層表面の平坦化を行なう場合には、その雰囲気は、100%水素ガス、あるいは水素と希ガス(Ar、N₂e等)の混合ガスで行なうことができる。水素アニールの際、SOL層内に含まれる酸素やリンが外方拡散するので、SOL層の高抵抗化を図ることができる。

【0103】この場合の水素アニール時の温度は、800℃以上シリコンの融点以下、好ましくは800℃以上1350℃以下、より好ましくは850℃以上1250℃以下で行なうことが望ましい。

【0104】水素アニール時の水素を含む雰囲気圧力は、大気圧、減圧のいずれの雰囲気でも構わないが、大気圧若しくは大気圧(1×10⁵Pa)以下、1×10⁴Pa以上で行なうことが好適である。また大気圧に対して-100mmHg程度の微減圧下で行なうこともより好適である。

【0105】また、図2の表層部22上に保護層を形成している場合には、BOX層25を形成後、保護層は必要に応じて除去する。当該保護層の除去は、研磨、研削、CMPやドライエッチング、ウエットエッチング(この場合のエッチャントとしては、ぶつ硝酸系、エチレンジアミン系、KOH系、ヒドラジン系を用いることができる。また、フッ酸、あるいはフッ酸に過酸化水素及びアルコールの少なくとも一方を添加した混合液や、バッファードフッ酸に過酸化水素及びアルコールの少なくとも一方を添加した混合液を用いることができる。)により行なう。

【0106】本発明においては、SOL層からCOPを低減あるいは消滅させることにより、デバイスの歩留まりを向上させることが可能となる。とくに今後ウエハの大口径化が進み、高品質結晶の引き上げが難しくなるとされており、バルクウエハの品質は落ちると考えられる。

【0107】従って、酸素イオン注入工程前に、シリコン基板を水素アニール処理する必要性は高まってくる。

【0108】以下、本発明の実施態様例について説明する。

【0109】(実施態様例1)図6A～図6Dを用いて、本発明の第1の実施態様例を説明する。

【0110】まず、シリコン基板61を用意して、少なくとも主表面を水素を含む還元性雰囲気中で熱処理する。この水素アニールによりCOP等の欠陥の無い、あるいはそれら欠陥の数が非常に少ない低欠陥層である表層部62が形成される(図6A)。

【0111】そして、表層部62上に保護層68を形成する。保護層68は、例えば、表層部62表面を熱酸化して得られる酸化シリコン層である。もちろん、保護層68は、必要に応じて形成すれば良く、省略することも可能である。

【0112】次に、シリコン基板61の主表面、即ち表層部62側から酸素イオンをイオン打ち込みし、イオン注入層64を形成する(図6C)。イオン打ち込みは、加速電圧と注入線量を調整し、所望の埋め込み酸化膜(BOX)層が得られるように行なう。

【0113】図6Dに示すように、シリコン基板61に所定の熱処理を施し、イオン注入層64をBOX層65へと変化させる。その後、保護層68を除去することにより、COP等の欠陥を含まない(あるいは、含まれるそれらの欠陥の数が非常に少ない)SOL層66を得ることができる。もちろん、表面汚染を避けるため保護層68は、デバイスプロセス直前まで除去しなくてもよい。

【0114】なお、SOL層66の表面が許容できない程に荒れている場合には、CMPや水素アニールなどの平坦化処理工程を行なう。

【0115】こうしてSIMOXウエハ67が完成する。当該ウエハは、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0116】〔実施態様例2〕本発明の第2の実施態様例について、まず図7のフローチャードを用いて説明する。

【0117】水素アニールされた単結晶シリコン基板を用意する(S1)。単結晶シリコン基板上に表面保護膜形成後、該単結晶シリコン基板に酸素をイオン注入し、イオン注入層を形成する(S2)。その後、該単結晶シリコン基板を所望の条件下で熱処理し、該単結晶シリコン基板内部にBOX層を形成する(S3)。ここまでは、図1のフローチャートと同様である。なお、工程(S2)においては、必要に応じて保護膜形成工程を省略することもできる。

【0118】本実施態様例においては、BOX層形成後、シリコン基板を洗浄する(S4)。そして、再度イオン注入層を形成する(S5)。その後、(S3)と同様に、再度熱処理を行ないBOX層を形成する(S6)。こうしてSIMOXウエハが完成する(S7)。イオン注入の際、基板表面にパーティクルが存在するとそこがマスクとなってしまう、イオン注入層が形成されない領域ができてしまうことがある。本実施態様例のように一旦BOX層を形成した後、シリコン基板表面を洗浄し、再度酸素をイオン注入することにより酸素イオンの注入ムラを防止することができる。

【0119】図7においては、イオン注入工程を2度行なう場合を示したが、必要に応じて、イオン注入工程は何度でも行なうことが可能である。また、工程(S1)後、工程(S2)前にシリコン基板を洗浄しておくこともまた好ましいものである。

【0120】また、BOX層形成の為の熱処理(S3、S6)は最後のイオン注入工程が終了してから一度だけ行なっても良い。

【0121】本実施態様例について図8A～図8Fを用いて説明する。

【0122】水素アニールされ、COP等の欠陥が非常に少ない表層部82を有するシリコン基板81を用意する(図8A)。そして、表層部82上に保護層88を形成する(図8B)。89は、シリコン基板上に付着したパーティクルを示す。なお、保護層88は、イオン注入時の表面荒れを防ぐという点から好ましいものであるが、必要に応じて保護層はなくても良い。

【0123】図8Cに示すように、イオン注入層84を形成する。パーティクル89がマスクとなり、イオン注入層が形成されない領域が生じてしまう。図8Cにおいては、イオン注入層84を表層部82の内部に形成しているが、もちろんこれに限定されるものではない。

【0124】その後、所定の熱処理を行ない埋め込み酸化膜(BOX)層85を形成するが、パーティクル89の影響によりBOX層も不連続なものとなる(図8D)。

【0125】次に、パーティクル89を除去すべく、シリコン基板86の洗浄を行なう(図示せず)。

【0126】(多段注入:Multi-I/I)洗浄後、再度イオン注入層74を形成し(図8E)、所望の熱処理によりBOX層75を形成する。

【0127】表面保護層88を除去した後、SOI層86の表面を、水素を含む還元性雰囲気中で熱処理すれば、非常に平滑なSOI層を有するSIMOXウエハが完成する(図8F)。

【0128】シリコン基板の洗浄には、薬液としては、DHF(HFとH₂Oとの混合溶液)やAPM(NH₄OHとH₂O₂を含む混合溶液)、HPM(HClとH₂O₂を含む混合溶液)、SPM(H₂SO₄とH₂O₂を含む混合溶液)、FPM(HFとH₂O₂を含む混合溶液)、BHF(NH₄F、HF及びH₂Oとの混合溶液)などを用いることができる。

【0129】〔実施態様例3〕図9A～図9Eは、本発明の第3の実施態様例を示す模式断面図である。

【0130】水素アニール処理された表層部92および該表層部92上に保護層98を有するシリコン基板91を用意する(図9A)。必要に応じて、保護層98は省略してもよい。

【0131】図9Bに示すように、該表層部98側から酸素イオンを注入し、イオン注入層94を形成する。

【0132】その後、所望の熱処理を行ないBOX層95を形成する(図9C)。

【0133】次に、必要に応じて保護層98を除去した後、シリコン基板91を酸化性雰囲気中で高温の熱処理、すなわちITOX処理(Internal Thermal Oxidation)を行なう。

【0134】このITOX処理によりSOI層92の表面に再び表面酸化膜99が形成されるだけでなく内部のBOX層95の厚さも厚くなり、BOX層の信頼性が向上する(図9D)。ITOX処理に先だて、保護層98を除去したが、当該除去工程は省略することもできる。

【0135】なお、イオン注入層94形成に先だて、保護層98を形成していない場合には、イオン注入層94形成後に、保護層を形成しても良い。

【0136】ここで酸化性雰囲気とは、具体的には、酸素と不活性ガス(ArやNeなど)の混合ガスにより構成することが望ましい。

【0137】表面の酸化膜形成速度を抑制し、内部の酸化膜厚の増加を促進するには、雰囲気中の酸素濃度を下げ、熱処理温度を上げることが望ましい。

【0138】ITOX処理の際の雰囲気としては、酸素を含む雰囲気、具体的には、酸素と不活性ガス(ArやNeなど)であることが好ましい。また、雰囲気の圧力としては大気圧下、減圧下、高圧下で行なうことができる。雰囲気中の酸素濃度は、1%から100%の範囲内であれば良い。

【0139】温度は、1000℃以上、シリコンの融点以下、より好ましくは1150℃以上シリコンの融点以下の範囲で行なうことが好ましい。

【0140】そして、必要に応じて表面酸化膜99を除去することにより、S01層表面にはCOP等の欠陥が非常に少ない、そして信頼性の高いBOX層を有するSiMOXウエハ97を得ることができる。もちろん、表面汚染を避けるため保護層99は、デバイスプロセス直前まで除去しなくてもよい。

【0141】なお、表面酸化膜99を除去した後、水素を含む還元性雰囲気中で熱処理することによりS01層92の表面平坦性を上げることができる。

【0142】(実施例1) Si基板としてCZ法により作

製された8インチの単結晶Si基板(CZウエハ)を2枚用意した。1枚は、水素を含む還元性雰囲気中で熱処理を行なった。その際の条件は、水素10.0%雰囲気中で、1200℃、2時間とした。なお、他の1枚は、比較のため上記熱処理は行なわなかった。

【0143】酸素イオンを加速エネルギー18.0keVで $1.5 \times 10^{14} \text{ cm}^{-2}$ イオン打ち込み(イオン注入)した。打ち込み時の基板の温度は、550℃とした。

【0144】その後、それぞれの基板を O_2 (1.0%) / Ar(9.0%)雰囲気中で1350℃、4時間の熱処理を行った。

【0145】単結晶Si半導体層(S01層)179nm / 埋め込み酸化Si層(BOX層)400nmのSiMOXウエハ(S01ウエハ)がそれぞれ出来上がった。

【0146】その後、S01層表面のCOPを検出するため、S01ウエハをSC-1洗浄液(1.0wt%の NH_4OH と、6.0wt%の H_2O_2 と水との混合液)で10分間処理した。そして、表面パーティクル検査機(例えば、KLA-Tencor社製SP-1)を用いてS01ウエハ表面のCOP(0.1~0.2μm程度)の数をカウントした。

【0147】水素アニール処理していないSi基板を用いてS01ウエハを形成した場合は、単位ウエハ当たり200個であった。

【0148】一方、酸素イオンを打ち込む前に、CZウエハを水素アニール処理したSi基板を用いたS01ウエハでは、単位ウエハ当たりのCOPの数は、5個であった。このように、CZ-Si基板に起因する欠陥であるCOPの数を十分に減少させたS01ウエハを得ることができた。

【0149】なお、S01層の表面およそ79nmを研磨あるいは酸化と酸化膜剥離により除去した後に、単位ウエハ当たりのCOPの数を比較した場合には、水素アニール処理をしていないS01ウエハで250個であり、酸素イオン注入工程前に水素アニール処理を施したS01ウエハで7個あった。

【0150】また、酸素イオン注入工程前にSi基板表面を酸化し保護層を形成しておく、イオン打ち込みによる表面荒れを効果的に防ぐことができる。

【0151】BOX層形成後、さらに水素アニールを施すことによりCOP等の欠陥の低減を図ることもできる。

【0152】なお、イオン注入層形成に先だって、シリコン基板表面を熱酸化し、保護層としての酸化シリコン層を形成しておくことも好ましい。通常のCZウエハ表面を熱酸化して酸化シリコン層を形成すると、ウエハ中にOSFが生じることがあり、その欠陥がS01層になる領域にあれば、S01基板としてのS01層にも影響を及ぼしてしまうが、本発明においては、水素アニール処理が施された表層部22の表面を酸化するので、OSFの導入を防止することができる。これは、保護層を形成するに先だって、シリコン基板を水素アニールすることにより、基板表面の酸素濃度が低減するためと考えられる。

【0153】(実施例2) Si基板としてCZ法により作製された単結晶Si基板7枚用意し、水素を含む還元性雰囲気中で熱処理を下記の条件で行なった。

【0154】(1) H_2 10.0%で、1200℃、2時間

(2) H_2 10.0%で、1200℃、2時間

(3) H_2 10.0%で、1200℃、4時間

(4) H_2 10.0%で、1200℃、4時間

(5) H_2 4%、 Ar 96%で、1200℃、4時間

(6) H_2 10.0%で、1150℃、10分

(7) 酸素イオン注入工程前の水素アニール処理なし

なお、比較のため1枚のCZウエハには、水素アニール処理を施さなかった。

【0155】さらに、これらSi基板上の熱処理された表面層の表面を熱酸化して50nmの表面酸化Si膜を形成した。この酸化膜は、イオン注入時の表面荒れを防止することが目的である。もちろん、必要に応じてこの酸化膜はなくても良い。

【0156】表面の酸化Si膜を通して O^+ を18.0keVで $2 \times 10^{14} \text{ cm}^{-2}$ イオン打ち込み(イオン注入)した。打ち込み時の温度は、550℃とした。これによって、欠陥の少ない表面層と元の基板との界面付近に濃度ピークを持つイオン注入層が形成された。

【0157】その後、基板を O_2 (1.0%) / Ar(9.0%)雰囲気中で1350℃、4時間の熱処理を行った。表面酸化膜を除去すると、単結晶Si半導体層(S01層)179nm / 埋め込み酸化Si層400nmのS01ウエハがそれぞれ出来上がった。

【0158】S01層表面のCOPを検出するため、S01ウエハをSC-1洗浄液(1.0wt%の NH_4OH と、6.0wt%の H_2O_2 と水との混合液)で10分間処理した。そして、表面パーティクル検査機(例えば、KLA-Tencor社製SP-1)を用いてS01ウエハ表面のCOPの数をカウントした。

【0159】水素アニール処理していないSi基板を用いてS01ウエハを形成した場合は、単位ウエハ当たり200個であった。一方(1)~(6)のS01ウエハにおけるCOPの数は、多少のバラツキはあるもののいずれも20個以下であった。特に、(3)のS01ウエハに関しては、単位ウエハ当たりのCOPの数が、3個と実質的にCOP等の欠

陥のないSOIウエハが得られた。

【0160】なお、完成したSOI基板を49%HF溶液中に10分浸漬したのち光学顕微鏡で観察した。SOI層にCOPが内在する場合には、HFがCOP部を通して酸化Si層をエッチングし、円状に酸化Si層がなくなった欠陥が観察される。水素雰囲気中熱処理を行わない(7)の場合は、HF defectは1.5コ/cm²程度であるが、(3)のSOIウエハの場合には、HF defectは0.05コ/cm²であった。

【0161】(実施例3)実施例2の(2)の条件と同様に1200℃、2時間、100%の水素雰囲気中で熱処理したCZ-Siウエハを用意した。

【0162】表面の酸化Si層を通してO⁺を180keVで 2×10^{11} cm⁻²イオン注入した。注入時の温度は、550℃とした。

【0163】この後、基板をO₂(10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行った。できた埋め込み酸化Si膜は100nm程度の厚みであった。

【0164】このウエハを洗浄した後、再度O⁺を180keVで 5×10^{11} cm⁻²イオン注入し、同様の熱処理を行った。この洗浄→注入→熱処理を酸素の全注入量が 2×10^{14} cm⁻²になるまで繰り返した。

【0165】表面酸化膜を除去すると、SOI層150nm / 埋め込み酸化Si層400nmのSOIウエハが出来上がった。

【0166】このSOI層表面を実施例1と同様にしてCOPの数を測定したところ、単位ウエハ当たり5個程度と、CZ-Si基板に起因するCOP、FPD等の欠陥は実質的になかった。

【0167】(実施例4)実施例2の(2)と同様にCZ-Siウエハを水素雰囲気中で熱処理し、表面に欠陥の少ない層をもつSiウエハを用意した。

【0168】さらに、表面の単結晶Si層(SOI層)表面に熱酸化により20nmの酸化Si膜を形成した。

【0169】表面の酸化Si膜を通してO⁺を180keVで 4×10^{11} cm⁻²イオン注入した。注入時の温度は、550℃とした。

【0170】この後、基板をO₂(10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行い、イオン注入層を埋込酸化Si層にした。こうしてSOI層300nm / 埋め込み酸化Si層90nmのSOIウエハが出来上がった。

【0171】この後、更に、O₂(70%) / Ar(30%) 雰囲気中で1350℃、4時間の熱処理を行った。SOI層上の表面酸化膜を除去すると、SOI層175nm / 埋め込み酸化Si層110nmのSOIウエハが出来上がった。

【0172】このSOI層は、水素雰囲気中の熱処理により欠陥が少なくなった単結晶Si層の一部であるの

で、CZ-Si基板に起因するCOP、FPD等の欠陥は、単位ウエハ当たり5個程度であった。

【0173】(実施例5) Sbドープn型、比抵抗0.005Ω・cm(1.00) Siウエハを、1200℃、100%水素雰囲気中で2時間、熱処理した、Si基体を用意した。

【0174】さらに、この基体の表面に熱酸化により50nmの酸化シリコン膜を形成した。

【0175】ウエハ表面の酸化シリコン膜を通してO⁺を180keVで 4×10^{11} cm⁻²イオン注入した。注入時の温度は、550℃とした。

【0176】この後、このウエハをO₂(10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行った。SOI層300nm / 埋め込み酸化膜90nmのSOIウエハが出来上がった。

【0177】この後、更にO₂(70%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行った。ウエハ表面の酸化膜を除去すると、SOI層200nm / 埋め込み酸化膜120nmのSOIウエハが出来上がった。

【0178】このSOI層にはCZ-Si基板に起因するCOP、FPD等の欠陥が、実質的無いSOI層表面を有するSOIウエハが得られた。

【0179】(実施例6)比抵抗0.01Ω・cmのP+型CZ-Siウエハを用意した。

【0180】水素アニールをH₂100%で、1200℃、2時間行なった。

【0181】さらに、それぞれの基板表面に熱酸化により50nmのSiO₂層を形成した。表面の酸化Si膜を通してO⁺を180keVで 2×10^{11} cm⁻²イオン注入した。注入時の温度は、550℃とした。

【0182】この後、基板をO₂(10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行った。表面酸化Si膜を除去すると、SOI層150nm / 埋め込み酸化膜400nmのSOIウエハが出来上がった。

【0183】このSOI層には、CZ-Si基板に起因するCOP、FPD等の欠陥は実質的に無かった。

【0184】この後、SOIウエハをパラジウム合金を用いた水素精製器で純化された高純度水素100%雰囲気中で熱処理を行った(1100℃、4h)。この後SOIウエハの表面ラフネスを測定したところ熱処理前の(2乗平均粗さ; root meansquare) R_{rms}=0.5nmが、0.3nmに改善されていた。

【0185】またこのSOIウエハの硼素濃度もSOI層中で熱処理前に 2×10^{14} / cm³であったものが、熱処理後 5×10^{14} / cm³以下に低減されていた。

【0186】SOI層形成後に、SOI層表面に水素アニールを施すことは、表面のラフネスを低減させたり、基板内の不純物濃度の低減させることができるという点からも

好ましいものである。

【0187】

【発明の効果】本発明によれば、Si基体を水素を含む還元性雰囲気中で熱処理し、COP等を減じた層内、あるいはその下方にイオン注入層を形成し、熱処理して埋込酸化Si層を形成することができるので、CZウエハなどのバルクSiに特有の欠陥を排除（低減）することができるため、デバイスの歩留まりを向上させることが可能となる。今後ウエハの大口径化が進み、高品質結晶の引き上げが難しくなると言われており、バルクウエハの品質は落ちるといわれている。従って、ますます、Si-MOXウエハを形成するに際して、酸素イオン注入工程前にシリコン基板を水素を含む還元性雰囲気中で熱処理を行なうことの必要性は高まると考えられる。

【図面の簡単な説明】

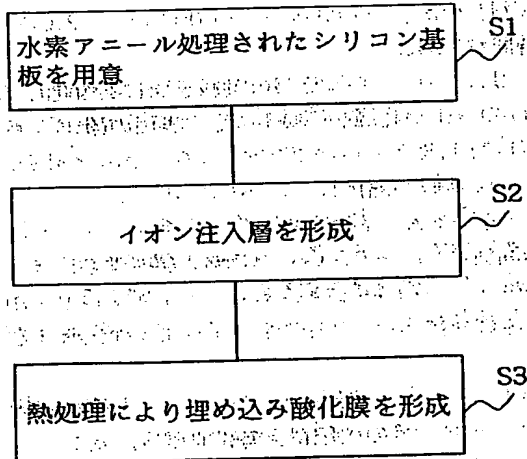
【図1】本発明の半導体基板の作製方法の一例を示すフローチャートである。

【図2】A～Cは本発明の半導体基板の作製方法の一例を示す模式的断面図である。

【図3】シリコン基板に含まれるCOPを説明するための模式的断面図である。

【図4】シリコン基板に含まれるCOPについて説明する

【図1】



ための模式的断面図である。

【図5】シリコン基板に含まれるCOPについて説明するための模式的断面図である。

【図6】A～Dは本発明の第1の実施態様例を説明するための模式的断面図である。

【図7】本発明の第2の実施態様例を説明するためのフローチャートである。

【図8】A～Fは本発明の第2の実施態様例を説明するための模式的断面図である。

【図9】A～Eは本発明の第3の実施態様例を説明するための模式的断面図である。

【図10】A～Dは本発明の第1の実施態様例の別の例を説明するための模式的断面図である。

【図11】A～Cは従来のSi-MOXウエハの作製工程を説明するための模式的断面図である。

【符号の説明】

21 シリコン基板

22 低欠陥層

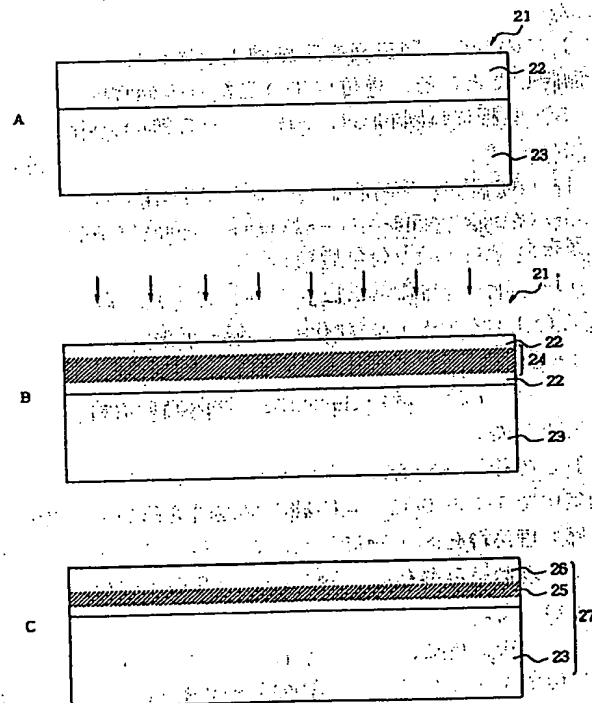
24 イオン注入層

25 埋め込み酸化膜層

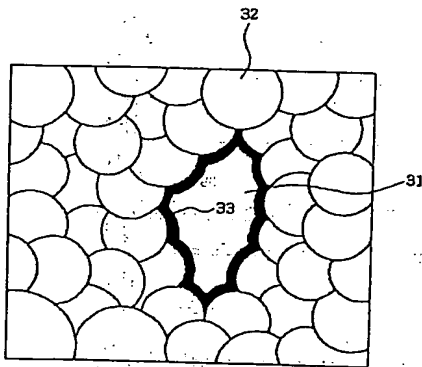
26 SiO₂層

27 SiO₂基板

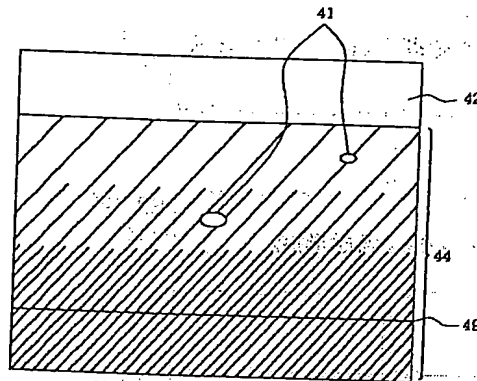
【図2】



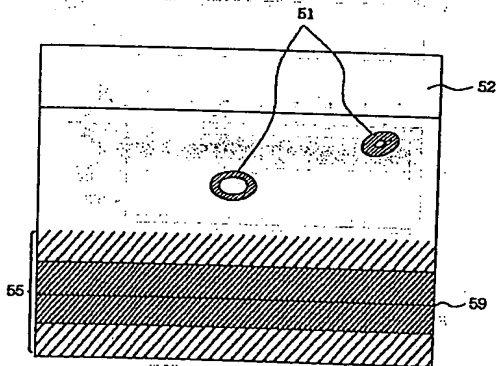
【図 3】



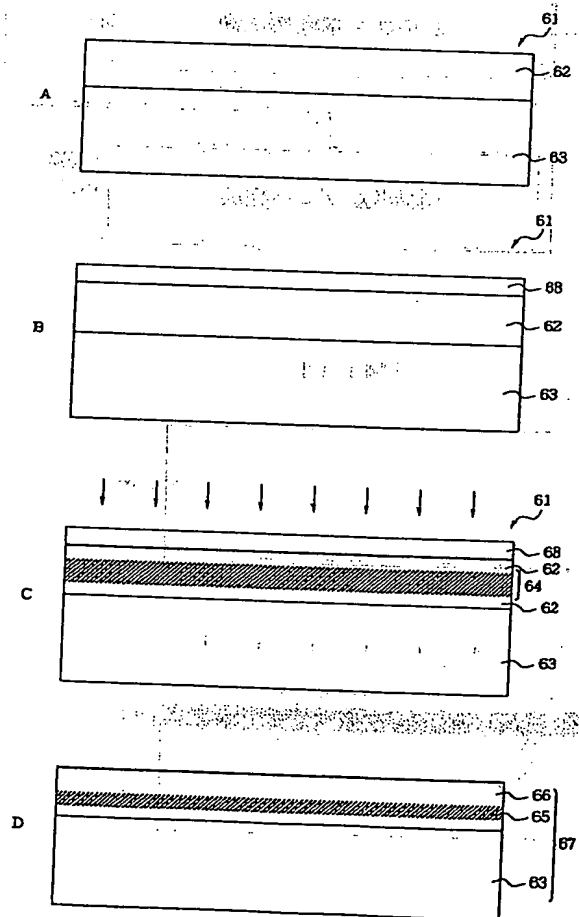
【図 4】



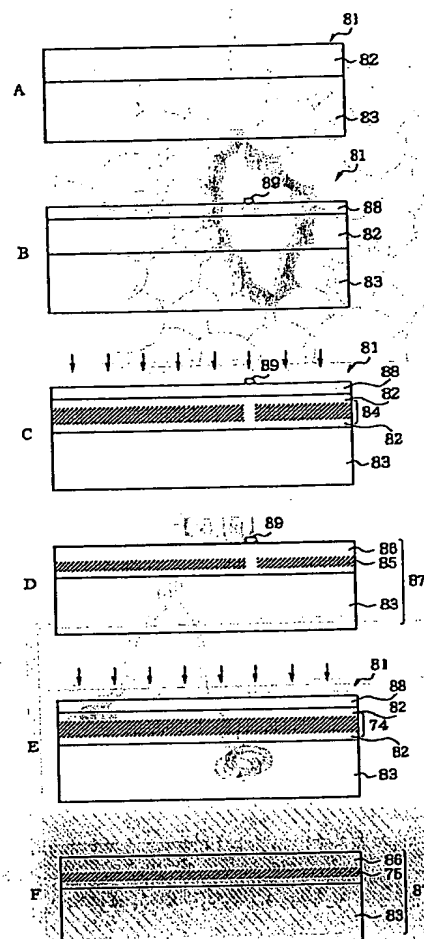
【図 5】



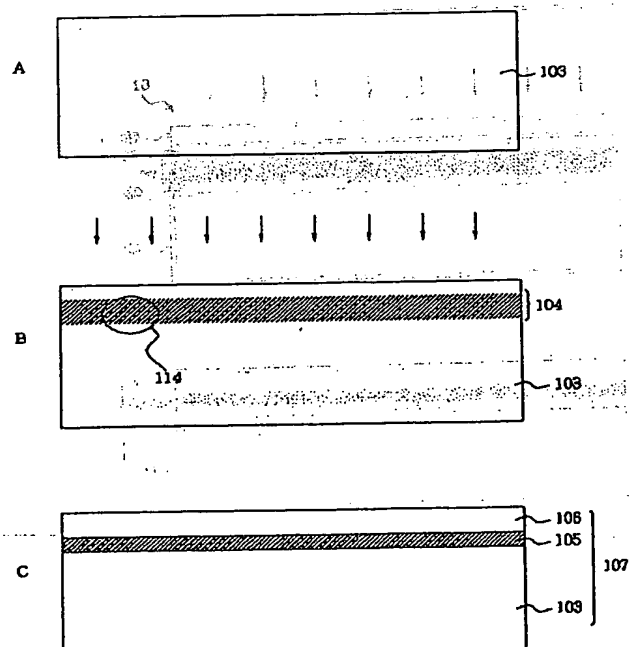
【図 6】



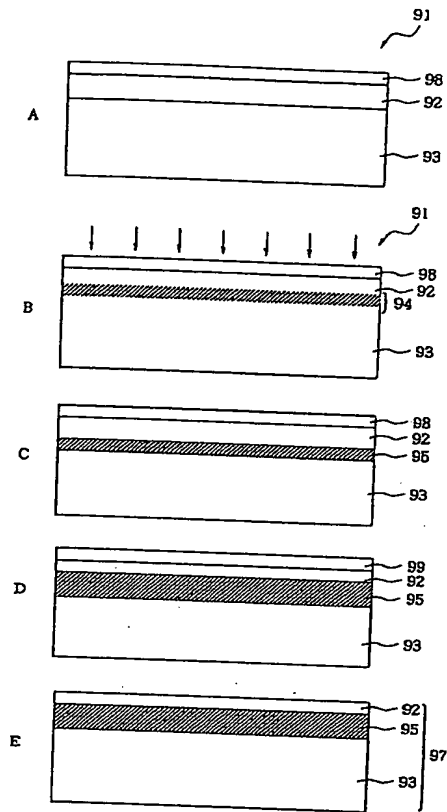
【図 8】



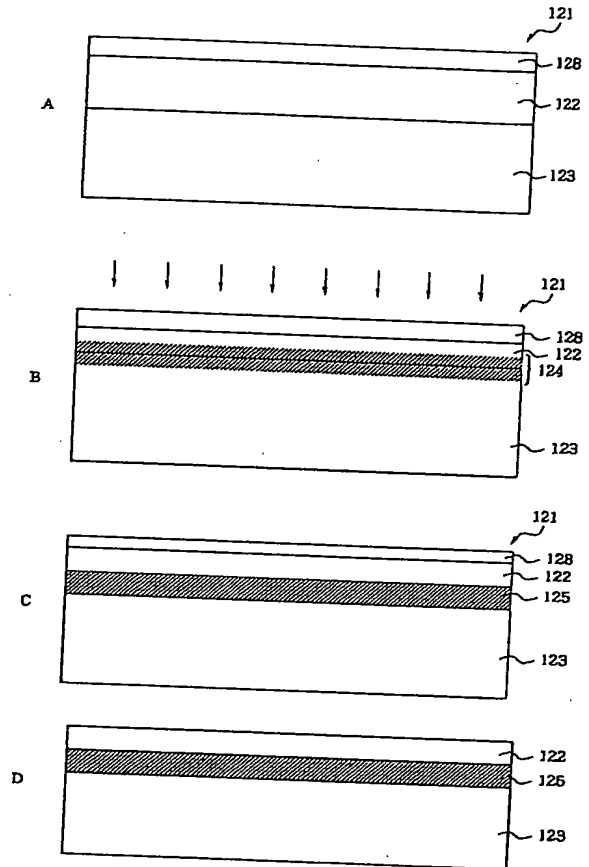
【圖 1-1】



【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.